第5卷 无锡轻工业学院学报 Vol. 5
第3期 JOURNAL OF THE WUXI INSTITUTE OF LIGHT INDUSTRY 1986 No. 3

使用单板机的数字锁相环

赵雪梅

（自动化系）

引　　言

现代无线电技术基础的锁相技术，广泛应用于通讯、雷达和自动控制系统中。由于数字电路成本低、可靠性高、相容性好、体积小和无漂移等优点，所以它随着数字技术和计算技术的发展而得到了很快的发展。

本文从模拟锁相环的基本原理出发，叙述了数字锁相环的工作原理、线性基带模型，进而求出数字锁相环(DPLL)的递推数字结构和差分方程，这样就为实现DPLL找到了可行的途经。通过对环路相位误差的分析来选取数字式递归滤波器的字长，从而建立了用软件实现数字锁相环的数学模型。最后根据实际要求按所推公式选取参数，设计了一个用单板机实现的跟踪式数字锁相环。经实测达到了预定的要求。

一、工作原理简述

数字锁相环(DPLL)和模拟锁相环(APLL)的结构相似，它的基本组成[1]如图1所示。其环路组成和APLL几乎完全一样，但是环路部件的结构则是完全不同的。

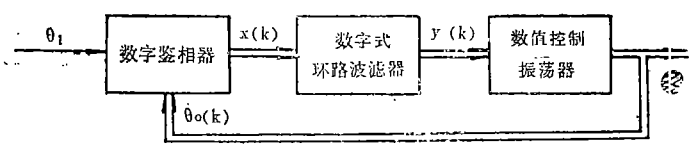


图 1　数字锁相环的方框图

数字鉴相器是比较输入信号和数值控制振荡器(NCO)输出信号之间的瞬时相位差。

令 $\theta_{i(tk)}$ 为输入信号在 t_k 时刻的瞬时相位。

$\theta_{o(tk)}$ 为数字控制振荡器在 t_k 时刻输出的瞬时相位。t_k 为取样时刻。则它们的瞬时相位差 $\theta e_{(tk)}$ 为：

$$\theta e_{(tk)} = \theta_{i(tk)} - \theta_{o(tk)}$$

$\theta e_{(tk)}$ 为取样时刻的相位差，它可写为 $\theta e_{(k)}$。将 $\theta e_{(k)}$ 转换为二进制补码形式，送给环路滤波器。经滤波后，作为NCO的频率指令控制字，以控制NCO。数字鉴相器的灵敏度 $K_D = 2^N/2\pi$(数/弧度)。

本文1985年10月25日收到

?1994-2014 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

输入信号在进入环路之前，经过一硬限幅器使之形成方波，用输入信号的正向过另交叉点处的信号作为取样信号(R_S)。取出NCO的瞬时相位，然后比较k时刻和$(k+1)$时刻的瞬时相位值。

数字式环路滤波器，为单个的递归式数字滤波器。它的通用表达式[5]为：

$$D(Z)=\frac{\sum_{i=0}^{n}a_i Z^{-i}}{1+\sum_{j=1}^{n}b_j Z^{-j}} \qquad n=0,1,2,\cdots\cdots \tag{1}$$

它的实现与通常的递归数字滤波器的实现方法一样，可以是级联的，也可以是并联的，或者是直接形式的。其参数选择由DPLL的性能指标要求来决定。

数控振荡器(NCO)的作用是通过改变它的输出周期T来达到相位的改变。故可写为$T_{(k)}=T_o-T_{c(k-1)}$[4]，$T_{(k)}$是第k次取样的钟周期，$T_{c(k-1)}$是第$(k-1)$次取样瞬间的校正信号，T_o是自由振荡周期。它是用前一次取样时刻的校正信号来改变下一个取样时刻的时间，因此NCO是周期受控。NCO的传递函数可写成如下形式

$$K_{N(Z)}=Z^{-1}\frac{K_N}{1-Z^{-1}} \tag{2}$$

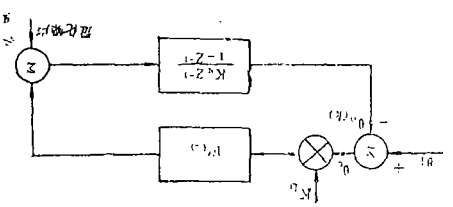
由此，可导出DPLL线性基带模型[4]。(如图2所示)

二、DPLL的传递函数和差分方程

对图2所示模型，若将滤波器的传递函数表示为

$$F'(Z)=B+\frac{A}{1-Z^{-1}} \tag{3}$$

令　　$K=K_D\cdot K_N$



1. $\dfrac{K_N Z^{-1}}{1-Z^{-1}}$

2. $F'(Z)$

图2 DPLL的线性基带模型

则图2的开环传递函数$H_{o(Z)}$为

$$H_{o(Z)}=\frac{[A+B(1-Z^{-1}]KZ^{-1}}{(1-Z^{-1})^2} \tag{4}$$

闭环传递函数$H_{c(Z)}$为

?1994-2014 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net

$$H_{c(Z)}=\frac{(AK+BK)Z^{-1}-BKZ^{-2}}{1-(2-BK-AK)Z^{-1}+(1-BK)Z^{-2}} \tag{5}$$

令

$$\alpha=BK,\ \beta=AK$$

则可将(5)式改写为

$$H_{c(Z)}=\frac{(\alpha+\beta)Z-\alpha}{Z^2-(2-\alpha-\beta)Z+(1-\alpha)} \tag{6}$$

系统的特征方程为

$$Z^2+(\alpha+\beta-2)Z+(1-\alpha)=0 \tag{7}$$

方程的两个根分别为

$$Z_{1,2}=1-\frac{\alpha+\beta}{2}\pm\sqrt{\left(\frac{\alpha+\beta}{2}\right)^2-\beta} \tag{8}$$

结果表明只有当Z位于单位圆之内时系统才稳定，故$|Z|<1$，其稳定条件为

$$\left.\begin{array}{l}\alpha>0\\ \beta>0\\ 2\alpha+\beta<4\end{array}\right\} \tag{9}$$

系统的误差传递函数为

$$E_{(Z)}=\frac{\theta e_{(Z)}}{\theta_{i(Z)}}=1-H_{c(Z)}=\frac{(Z-1)^2}{Z^2+(\alpha+\beta-2)Z+(1-\alpha)} \tag{10}$$

由帕什瓦(Parseval)定律知：$\sigma^2_{no}=\phi_{ni}W_L$ (11′)

ϕ_{ni}—均匀分布相位噪声的功率谱密度

W_L—为环路的等效噪声带宽

$$W_L=\frac{1}{2\pi j}\oint_{|Z|=1}H_{c(Z)}\cdot H_{c(Z^{-1})}Z^{-1}dZ=\frac{1}{2\pi j}\oint_{|Z|=1}|H_c(Z)|^2\cdot Z^{-1}dZ$$

$$=\frac{\alpha\beta+2\alpha^2+2\beta}{4\alpha-\alpha\beta-2\alpha^2} \tag{11}$$

将(4)式展开并令$K_F=A$，$\gamma=B/A$

$K_o=K\cdot K_F$代入(4)式得

$$H_{o(Z)}=\frac{(K_o\gamma+K_o)Z^{-1}-K_o\gamma Z^{-2}}{1-2Z^{-1}+Z^{-2}} \tag{12}$$

将(12)式与(1)式比较可看出它是一个递归滤波器。若将K_o提出，并忽略有限字长效应的影响，则可画出开环的数字结构，(如图3所示)。

?1994-2014 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

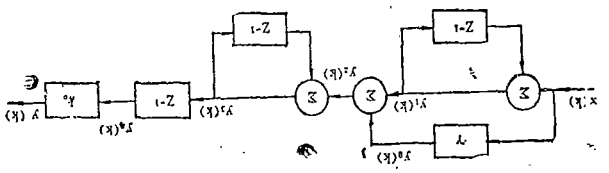


图3　DPLL的开环数字结构图

对图3可写出如下的差分方程

$$\left.\begin{aligned}
&\bar{y}_0(k) = \gamma \cdot x(k)\\
&\bar{y}_1(k) = x(k) + \bar{y}_{1(k-1)}\\
&y_2(k) = \gamma \cdot x(k) + \bar{y}_{1(k)} = \gamma \cdot x(k) + x(k) + \bar{y}_{1(k-1)} = (\gamma+1)x(k) + \bar{y}_{1(k-1)}\\
&y_3(k) = y_{2(k)} + \bar{y}_{3(k-1)} = (\gamma+1)\cdot x(k) + \bar{y}_{1(k-1)} + \bar{y}_{3(k-1)}\\
&y_4(k) = \bar{y}_{3(k-1)}
\end{aligned}\right\} \qquad (13)$$

写成矩阵形式

$$\begin{pmatrix} \bar{y}_1 \\ \bar{y}_2 \\ \bar{y}_3 \\ \bar{y}_4 \end{pmatrix}_k = \begin{pmatrix} 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 \\ 0 & 0 & 1 & 0 \end{pmatrix} \begin{pmatrix} y_1 \\ y_2 \\ y_3 \\ y_4 \end{pmatrix}_{k-1} + \begin{pmatrix} 1 \\ \gamma+1 \\ \gamma+1 \\ 0 \end{pmatrix} x(k) \qquad (14)$$

根据(13)式的差分方程式就可用任一种单板机的汇编语言编写程序，用软件加上适当的接口来实现DPLL。

三、接口与字长的选取

在讨论字长选择之前，我们先讨论环路总的相位误差：[2]

式中
$$\sigma_\varphi^2 = \sigma^2_{no} + \theta^2_{e(\infty)} + \sigma^2_q \qquad (15)$$

σ^2_{no}—是由噪声所引起的随机相位误差

$\theta^2_{e(\infty)}$—是跟踪多卜勒频移所引起的相位误差

σ^2_q—是量化效应引起的相位误差

由(11′)和(11)得

$$\sigma^2_{no} = W_L \phi_{ni} = \frac{\alpha\beta + 2\alpha^2 + 2\beta}{4\alpha - \alpha\beta - 2\alpha^2}\phi_{ni} \qquad (16)$$

按一般线性分析也可写为

$$\sigma^2_{no} = \frac{1}{2(\mathrm{SNR})_L} \text{(弧度)} \qquad [7] \qquad (17)$$

$(\mathrm{SNR})_L$—为环路信噪比，表示环路对噪声的抑制作用

当环路跟踪多卜勒频移时，其输入信号为频率斜升，即输入频率[2,7]为

$$\omega_i(t) = R_d t \qquad (18)$$

?1994-2014 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net

输入相位为

$$\theta_{i(t)}=\int_0^t R_d\,t\,d\,t=\frac{Rd}{2}t^2 \tag{19}$$

$$\theta_{i(z)}=\frac{Rd}{2}\cdot\frac{T_s^2Z(Z+1)}{(Z-1)^3} \tag{20}$$

对应图2 $\theta_{e(z)}$:

$$\theta_{e(z)}=E_{\theta(z)}\cdot\theta_{i(z)} \tag{21}$$

$$\theta_{e(\infty)}=\lim_{Z\to1}(Z-1)\theta_{e(z)} \tag{22}$$

将(10), (20)代入(22)得

$$\theta_{e(\infty)}=\lim_{Z\to1}(Z-1)\cdot\frac{(Z-1)^2}{Z^2+(\alpha+\beta-2)Z+(1-\alpha)}\cdot\frac{R_d\cdot T_s^2\cdot Z(Z+1)}{2(Z-1)^3}$$

$$=\frac{T_s^2\cdot R_d}{\beta} \tag{23}$$

$$\theta^2_{e(\infty)}=\left(\frac{T^2_s\cdot R_d}{\beta}\right)^2 \tag{24}$$

$$\sigma^2_q=\frac{q^2}{12} \tag{25}$$

1. 鉴相器字长的选取

数控振荡器(NCO)周期的量化间隔 $\delta=T_0/2^N$,对应的相位量化间隔为 $q=360°/2^N$, 鉴相器的灵敏度 $K_D=1/q$(数/度)。量化间隔 q 的选取受以下因素的限制[3]

①环路允许由量化引起的相位误差的大小

②输入信号的最大频偏 Δf_{max}

③环路应有的输出信号噪比$(SNR)_L$

NCO的最大可控控范围为

$$\frac{2}{2^N}\cdot f_o=\Delta f_{max} \tag{26}$$

式中

$f_o=1/T_o$—环路工作频率

显然N取得过大, Δf_{max} 就要大大减小。所以可控范围应以满足最大多卜勒频偏 Δf_{dmax}为原则,当确定了N的上限,则N的下限应保证由量化引起的相位误差, σ^2_q 要小于 $\sigma^2_{no}+\theta^2_{e(\infty)}$。

由(17)可知当$(SNR)_L$提高时, σ^2_{no} 就减少,若量化 q 取得过大,则在高$(SNR)_L$时由于量化所引起的相位抖动 σ^2_q 就限制了环路相位抖动误差的减少, 因此称 σ^2_q 为相位抖动的饱和值。而一般环路是以信噪比$(SNR)_L>6db$(此时 $\sigma_{no}<0.4$ 弧度)[7]作为失锁门限标准,则称此时的相位抖动为门限值 σ^2_{th}。所以选N的下限时, 首先应保证 $\sigma^2_q\ll\sigma^2_{th}$, 当随机噪声引起的相位抖动 σ^2_{no} 已给定, 则要求 $\sigma^2_q<\sigma^2_{no}$ (27)

?1994-2014 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

$$\sigma^2_q = \frac{q^2}{12} \qquad q = \frac{2\pi}{2^N} \tag{28}$$

由(17)，(25)，(28)，代入(27)得

$$N > \frac{1}{2}[\log_2(SNR)_L - \log_2 6] + 3 \tag{29}$$

由(26)式得

$$N < \log_2 f_o - \log_2 \Delta f_{max} + 1 \tag{30}$$

考虑到单板机的字长和接口，故一般选$N=8$位，因此鉴相器的灵敏度$K_D = 2^N/2\pi$(数/弧度)，对应的相位量化间隔 $q = 2\pi/2^N$(弧度/数)

2．数字滤波器参数和字长的选取

经归一化之后数字滤波器的传递函数为 $F(z)$

$$F(z) = \gamma + \frac{1}{1 - Z^{-1}}$$

其数字结构如图 4 所示

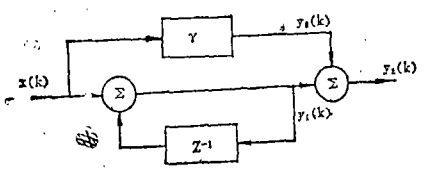


图 4　环路滤波器数字结构

对应图 4 中的 y_0，y_1 对应的时间序列为

$$y_{0(kT)} = \gamma X_{(kT)}$$

$$y_{1(kT)} = [X_{T)} + X_{(2T)} + X_{(3T)} + \cdots + K_{(kT)}]$$

显然 $y_{1(kT)}$是 $x_{(kT)}$的累加。

于是字滤波器的积分用累加实现，相乘则用移位来实现。累加器的长度应包含对于NCO的环路频率指令控制字。它需要有足够的动态范围，即足够的比特数，使之能容纳在整个跟踪频率范围之内的频率指令字，同时要满足环路的性能要求。

由(16)和(24)可知，要减小随机误差和减小动态滞后误差是有矛盾的[2]。设计时通过常应取总误差最小来选取 α 和 β[2]。

令

$$E^2 = \sigma^2_{no} + \theta^2_{e(\infty)} = \frac{\alpha\beta + 2\alpha^2 + 2\beta}{4\alpha - \alpha\beta - 2\alpha^2} \cdot \phi_{ni} + \left(\frac{T^2_s \cdot R_d}{\beta}\right)^2$$

由

$$\frac{\partial(E^2)}{2\alpha} = 0 \qquad \text{得} \quad \alpha = \sqrt{\beta} - \frac{\beta}{2} \tag{31}$$

?1994-2014 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net

此时得

$$W_{L\min}=\frac{4}{(2-\sqrt{\beta})^2}-1 \tag{32}$$

由

$$\frac{\partial(E^2)}{\partial\beta}=0$$

得

$$\frac{\beta\sqrt{\beta}}{\sqrt{\alpha}(4-\beta-2\alpha)}=\frac{T_s^2R_d}{2\phi_{ni}} \tag{33}$$

由(31)，(33)得β的上限，由(24)得β的下限即

$$\beta>\frac{T_s^2Rd}{\theta_{e(\infty)}} \tag{34}$$

$$\beta<4\left(1-\frac{1}{\sqrt{1+W_L}}\right)^2 \tag{35}$$

由 $\beta=A\cdot K$ 得 $A=\frac{\beta}{K}$ 若选 $A=T_S\cdot R_d$ 则环路滤波器累加器的长度 C（对应于相位值）应取为

$$C\geqslant\log_2R_S+\log_2R_{dmax}+N \tag{36}$$

由(31)式中的α与β的关系结合(8)，(9)及(33)式可求得比例因子

$$\gamma=\frac{B}{A}=2^M$$

故取

$$M=\frac{C}{2}\sim\left(\frac{C}{2}+1\right) \tag{37}$$

3．NCO字长的选取

由数控振荡器NCO的传递函数 $H_{NCO(z)}=K_N\frac{Z^{-1}}{1-Z^{-1}}$ 可知，它由累加器和单位延迟完成。由(34)和(35)并结合(36)取 $K_N\geqslant T_S\cdot R_d$。

考虑在最小有效位(LSB)上反应出信息的变化，故NCO的字长 L

$$L\geqslant\log_2R_S+\log_2\Delta f_{max}+N \tag{38}$$

考虑到存贮容量和运算速度一般取

$$L\geqslant C+\frac{N}{2} \tag{39}$$

字长选取时应以满足下限为前提。这是由于考虑到尽可能的简单和尽可能快的运算速度以及占用较少的存贮单元，只有当 R_d 很小，带宽 W_L 充分小于 $1Hz$ 时才考虑上限的问题。

4．接口

?1994-2014 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

由单板机组成的跟踪式数字锁相环 DPLL，其外部设备由少量小规模 TTL 电路组成，不需要用模—数变换器 A/D。与单板机 PIO 的接口是8位字长的缓冲暂存器和组合增益为1的8位可变分频器。单板机 PIO A 口被置为输入工作方式，B 口被置为位控工作方式。按图5方式连接。

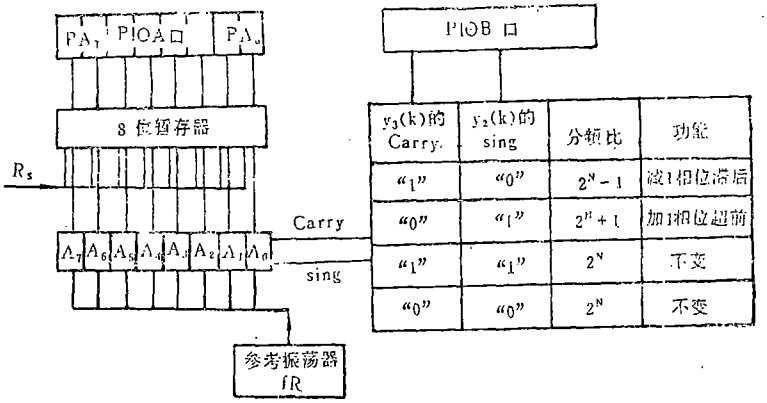


图5　与单板机的接口设备

图5中参考振荡器频率为 $2^N \cdot R_S$，可变分频器的控制逻辑按图5中的真值表设计，可变分频器的组合增益为1。

四、程序流程图与设计实例

设计是针对某工程测距系统的技术要求进行的。输入信号频率(R_S)即环路工作频率 f_0 = 15KC。按前所述原则分别选取 N，C，M和L。按公式(29)，(30)选N = 8

按公式(36)，(37)选 C 和 M

$$C = 24$$

$$M = 12$$

按公式(38)，(39)选 $L = 28$

经实际测试在输入信号噪声功率谱密度比为 $36db/Hz$，跟踪多卜勒频率范围为 $\pm 10Hz$ 的情况下，测得总的相位误差方差 $\sigma^2_\varphi \leqslant 1°$，捕获时间为 0.033 秒。

程序由下面四种基本操作完成：

IN/OUT，加减，移位和单位延迟。

采用 *BCM—Z80* 单板机，其 *CPU* 为 *Z—80A*，时钟频率为 4MC。

程序流程框图如图6所示。

?1994-2014 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net

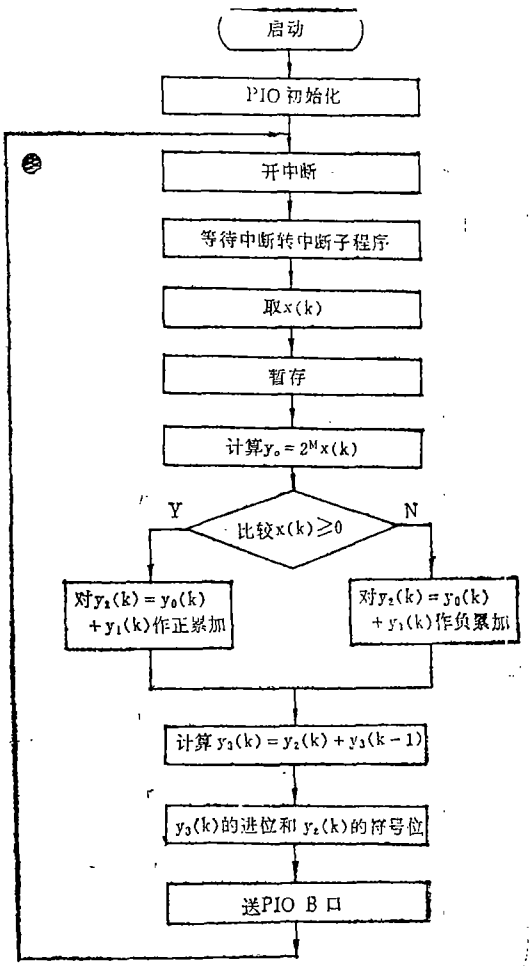


图6 DPLL程序流程图

参 考 文 献

[1] Reddy C. P. and Gupata S. C., "A Class of all digital phase locked loops: Modelling and analysis," IEEE Trans. Ind Electron. Contr. Instrum; Vol IECI—20 PP239—251, NOV, 1973

[2] Polk D. R. and Gupta S. C., "Quasi-optimum digital phase locked loop," IEEE Trans. Commun. Technol, Vol, COM—21, PP75—82, Jan, 1973

[3] Hurst G. T. and Gupta S. C., "Quantizing and Sampling Considerations in ligital phase locked loops," IEEE Trans. Commun. Technol., Vol, COM—22, PP68—72 Jan, 1974

[4] AD020795

?1994-2014 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

[5] PAUL. KATZ. "Digital control using Microprocssors" 1981

[6] Gandner, F. M., "Phaselock Technigues." New York: Wiley 1966

[7] 郑继禹、万心平等编，《锁相环路原理与应用》，人民邮电出版社。

?1994-2014 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net